

\*\*\*\*\*

**Elec3A / Architecture**

Examen (Durée : 1 heure) ; Cours, TDs. et TPs. autorisés au format papier uniquement.

**Exercice I (Question de cours):**

(1) Donnez la valeur du registre R1 après exécution de chacune des instructions de la séquence suivante :

```

MOV R2, # 4
MOV R1, # 2
CMP R1, # 0
ITETE LE
ADDLE R1,R2,R1      ; R1=?
SUBGT R1,R1,#3      ; R1=?
SUBLE R1,R1, #2      ; R1=?
ADDGT R1,R1,#6      ; R1=?
    
```

(2)

a : Donnez la valeur binaire codée sur 8 bits et en complément à deux du chiffre décimal suivant : -15.625

b : Représentez le chiffre décimal (-23) en complément à deux codé sur 8 bits

c : Additionnez (-7) et (-5) en complément à deux codé sur 4 bits. Expliquez le résultat.

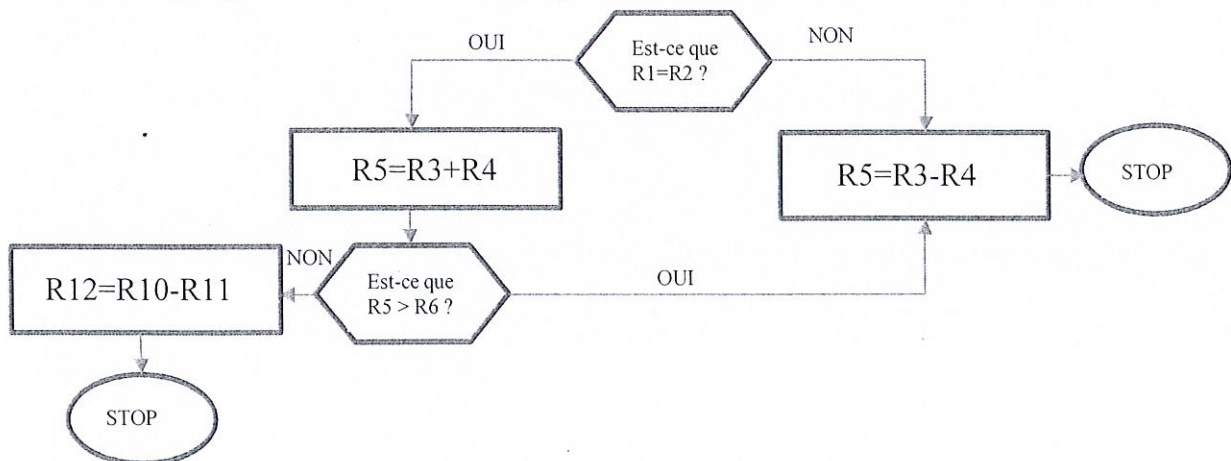
d : Quelle est la taille mémoire (en octets) qu'on peut adresser avec un bus d'adresse de 9 bits ?

e : Sachant qu'initialement R1=0x500, quelle serait sa nouvelle valeur après exécution de l'instruction suivante ?

```
LSL R1, R1, #8
```

**Exercice II :**

Traduire l'organigramme suivant en un programme en assembleur ARM Cortex M3 :



**Exercice III :**

Ecrivez un programme, en assembleur ARM Cortex M3, qui trie les éléments d'un tableau par ordre croissant. Le tableau (nommé **TAB1**) sera déclaré et constitué de **10** éléments entiers relatifs codés en mémoire sur 32 bits. Le tableau ordonné sera appelé **TAB2**.

Numéro Anonymat :

**Problème n° 1 : (5 points)**

Le contrôle de bit est une fonction qui très utilisée en électronique lors des communications des données d'un point à un autre. Le schéma électronique ci-contre joue cette fonction.  $n$  représente le nombre de bit à transmettre en parallèle. EMISSION A représenté le site de départ des données et EMISSION B représente le site de réception des données situées à une distance quelconque.

Définition de la parité en logique : "Cela consiste à ajouter un bit 1 à l'information utile pour que le nombre total de bits à 1 soit paire. Dans le cas contraire, on parle d'imparité".

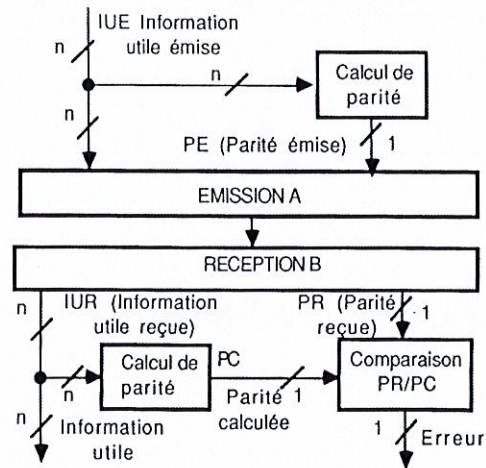


Figure 1: Schéma fonctionnel

- 1) Compléter la table de vérité ci-après en définissant les valeurs prises par les fonctions P (parité) et I (imparité), selon la définition ci-dessus :

X	Y	Z	P	I
0	0	0	0	1
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

- 2) Remplir les tableaux de Karnaugh ci-après pour la fonction P paire.

P	00	01	11	10
0				
1				

3) Dédurre la fonction P pour la parité

P=

4) Remplir les tableaux de Karnaugh ci-après pour la fonction I impaire.

I	00	01	11	10
0				
1				

5) Dédurre la fonction I pour l'imparité

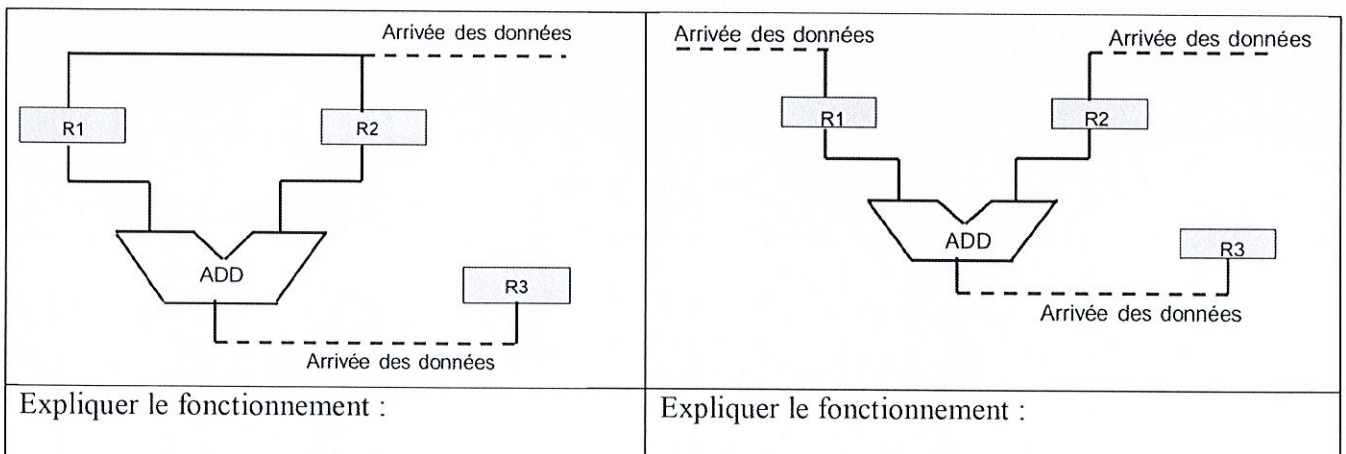
I=

6) On réalise le logigramme de la fonction I simplement à l'aide des portes suivantes :  
- NAND

Donner le logigramme en portes NAND

**Problème 2 : (5 points)**

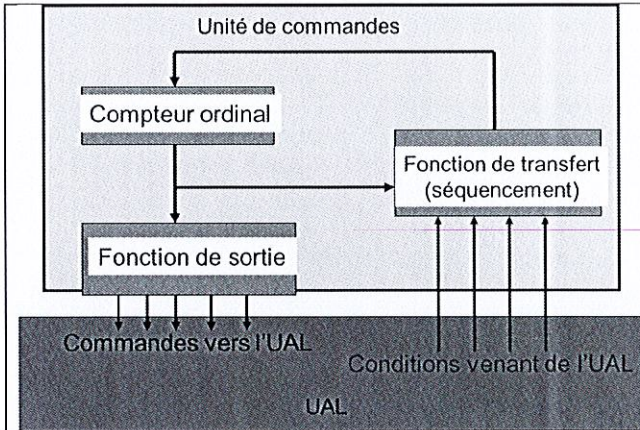
1) On présente deux modèles d'une opération d'addition. Dans un système complexe. Dans chaque cas expliquer le processus et définir le nombre de top d'horloges nécessaires pour accomplir l'opération



Donner le nombre de top d'horloge :

Donner le nombre de top d'horloge :

2) On le schéma fonctionnel d'un système complexe



A quoi sert le bloc commande ? :

A quoi sert le bloc UAL ?

Expliquer le principe de fonctionnement du compteur Ordinal :

Donner la définition et le rôle des périphériques ci-dessous

Multiplexeur :

Porte à 3 états :

Codeur :