

Le langage VHDL

L3 SPI Elec - Session 2 - Juin 2025 – Durée : 2 heures

Conditions de l'examen

Permis : Documents imprimés (notes manuscrites et documents photocopiés du cours)

Interdit : Appareils électroniques avec accès à Internet (téléphone, tablette, montre connecté...)

Exercice 1 (10 points) :

QCM. Plusieurs réponses correctes possibles et un point par question si et seulement si toutes les réponses sont bonnes.

Répondez en listant les bonnes réponses dans l'ordre alphabétique, par exemple en écrivant :

Question 50 : B, D

Question 1 : En VHDL, la fonction principale d'une 'entity' est :

- A. Définir les dépendances entre différentes bibliothèques
- B. Initialiser les valeurs des signaux
- C. Spécifier les ports d'entrée/sortie d'un module de conception
- D. Décrire le comportement interne d'un circuit

Question 2 : En VHDL, une architecture est :

- A. Une bibliothèque de composants pré-définis
- B. La description interne du comportement ou de la structure d'une entité
- C. Un ensemble de règles pour la syntaxe VHDL
- D. Un programme de simulation VHDL

Question 3 : Quel mot-clé est utilisé pour déclarer un signal dans VHDL ?

- A. component
- B. port
- C. signal
- D. variable

Question 4 : Le symbole " $\leq$ ", en VHDL est utilisé pour :

- A. inférieur ou égal
- B. une comparaison
- C. une affectation
- D. déclaration d'une variable

Question 5 : Quel package est couramment utilisé pour les conversions entre STD_LOGIC_VECTOR et des types numériques (INTEGER ou SIGNED/UNSIGNED) ?

- A. IEEE.STD_LOGIC_1164.all
- B. IEEE.NUMERIC_STD.all
- C. WORK.MY_LIBRARY.all
- D. IEEE.MATH_REAL.all

Question 6 : Dans la liste de sensibilité d'un process en VHDL, on définit :

- A. Tous les signaux de sortie
- B. Tous les signaux d'entrée
- C. Le signal d'horloge CLK
- D. Les signaux utiles au process

Question 7 : Dans un processus synchrone, quelle est la manière la plus fiable pour modéliser un registre qui se met à jour uniquement lorsque le signal 'enable' est à '1' ?

- A. wait until clk = '1' and enable = '1';
- B. process(clk, enable)
- C. if enable = '1' then if rising_edge(clk) then
- D. if rising_edge(clk) and enable = '1' then

Question 8 : Un 'reset asynchrone' peut être problématique dans une conception FPGA, car :

- A. Il ne peut pas être utilisé pour initialiser des registres à une valeur autre que '0'.
- B. Il consomme plus de ressources logiques qu'un reset synchrone.
- C. La désactivation du reset peut violer les temps de 'recovery' et 'removal', causant de la métastabilité.
- D. Il est plus lent à réagir qu'un reset synchrone.

Question 9 : 'A' est un 'STD_LOGIC_VECTOR' de 4 bits et B un 'STD_LOGIC_VECTOR' de 8 bits. Comment peut-on assigner 'A' aux 4 bits de poids faible de 'B' en laissant les autres inchangés ?

- A. B <= A;
- B. B <= "0000" & A;
- C. B <= B(7 downto 4) & A;
- D. B(3 downto 0) <= A;

Question 10 : Pour un 'INTEGER' de valeur 10 en un 'STD_LOGIC_VECTOR' my_vector de 8 bits, on écrit :

- A. my_vector <= to_std_logic_vector(10, 8);
- B. my_vector <= to_unsigned(10, 8);
- C. my_vector <= std_logic_vector(to_unsigned(10, 8));
- D. my_vector <= std_logic_vector(10);

Exercice 2 (10 points) :

Pour réaliser un détecteur de parité *Parite_Circuit* pour des mots de 8 bits, on conçoit une description VHDL prenant en entrée une donnée *DataIn* et générant en sortie deux indicateurs sur la parité de la donnée d'entrée, *Imp* (si le nombre de 1 est impair), *Pair* (si le nombre de 1 est pair).

- Donner la description complète de ce composant en langage VHDL (entité et architecture).
- Pour tester votre circuit *Parite_Circuit*, donner la description VHDL complète (entité et architecture) du banc de test (testbench) à utiliser pour valider son fonctionnement correct.
- Utiliser un process de simulation avec au moins une donnée d'entrée paire et une autre donnée impaire.

*** Bon courage ***