

Examen final : Le langage VHDL
Licence 3 SPI Elec - Session 1 - 20 Mai 2025 - Durée: 2 heures
Conditions de l'examen

Permis :

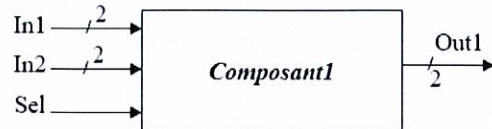
- Documents imprimés ou manuscrits de cours, TD et TP de l'UBE.

Interdit :

- Appareils électroniques avec accès à Internet (téléphone, tablette, montre connecté...)

Exercice 1 : (6.5 pts)

1. Donner en VHDL la description de *l'entité du Composant1* ci-contre.



2. Recopiez le code VHDL ci-dessous en corrigeant toutes les *erreurs de syntaxe* existantes.

```
entity Circuit1 is
  Port ( clk : in  STD_LOGIC ;
        rst : in  STD_LOGIC_VECTOR ;
        d   in  STD_LOGIC
        q   : out STD_LOGIC );
end Test;
```

```
architecture Behavioral of Test is
begin
  process(clk ; rst)
  begin
    if reset = '1' then
      q = '0';
    if rising_edge(clk)
      q <= 'd' ;
    end if;
  end Behavioral;
```

3. Recopiez le code VHDL ci-dessous en corrigeant tous les *problèmes de synthèse* existants.

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.NUMERIC_STD.ALL;

entity Circuit2 is
  Port ( A : in  STD_LOGIC_VECTOR (3 downto 0);
        B : in  STD_LOGIC_VECTOR (3 downto 0);
        C : out STD_LOGIC_VECTOR (3 downto 0));
end Circuit2;
```

```
architecture Behavioral of Circuit2 is
  signal i, j : integer:= 0;
  signal u1, u2 : unsigned(2 downto 0);
begin
  u1 <= A ;
  u2 <= B ;
  i <= u1 + u2 ;
  C <= i ;
end Behavioral;
```

